

SEMICONDUCTOR DEVICE

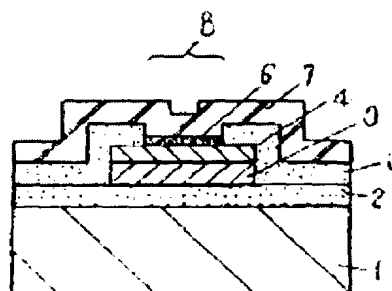
Patent number: JP1152648
Publication date: 1989-06-15
Inventor: TAKENAKA NOBUYUKI
Applicant: MATSUSHITA ELECTRONICS CORP
Classification:
- international: **H01L21/768; H01L21/70; (IPC1-7): H01L21/90**
- european:
Application number: JP19870311507 19871209
Priority number(s): JP19870311507 19871209

Report a data error here

Abstract of JP1152648

PURPOSE:To realize the practical application of a multilayer wiring structure where its connecting state of wiring is highly efficient, by possessing a laminated film consisting of the first and second metallic films, an insulating film formed on the above laminated film, an aperture formed at the above insulating film, and a wiring connection part which is composed of the foregoing second metallic oxide film as well as the third metallic film that are formed in the above aperture.

CONSTITUTION:A semiconductor device possesses a wiring connection part which is composed of: a lower wiring layer which is composed of the first aluminum film 3 of about 1 μ m thickness as well as a tin film 4 of about 0.3 μ m thickness which are formed on a silicon substrate 1 through an interlayer film 2 consisting of a silicon oxide film and phosphorus silicate glass; an insulating film 5 having the thickness of about 0.8 μ m which is comprised of the silicon oxide film that is formed with a plasma excited CVD process as well as a silicon nitride film; a contact hole 8 which is made at the insulating film 5; a tin dioxide film (metallic oxide film) 6 which is electrically conductive and has the thickness of about 0.2 μ m and is formed by oxidizing the tin film 4 that is exposed in the contact hole 8; and the second aluminum film 7 which is about 1 μ m thick and is formed on the above metallic oxide film 6 and on the foregoing insulating film 5.



Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-152648

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)6月15日

H 01 L 21/90

A-6708-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-311507

⑰ 出 願 昭62(1987)12月9日

⑱ 発 明 者 竹 中 信 之 大阪府門真市大字門真1006番地 松下電子工業株式会社内
⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

半導体装置

2、特許請求の範囲

(1) 第1の金属膜と第2の金属膜からなる積層膜と、同積層膜上に形成された絶縁膜と、同絶縁膜に形成された開孔部と、同開孔部に形成された前記第2の金属膜の酸化膜および第3の金属膜とで構成される配線接続部を具備することを特徴とする半導体装置。

(2) 前記第2の金属膜の酸化膜が導電性酸化膜であることを特徴とする特許請求の範囲第1項に記載の半導体装置。

3、発明の詳細な説明

産業上の利用分野

本発明は多層配線を備えた半導体集積回路の新規な構造に関する。

従来の技術

半導体集積回路の集積度を向上させる為に多層配線構造が多用されている。従来の多層配線の上下配線層間

の接続部は、第2図にその要部の断面図を示すように、シリコン基板11上にシリコン酸化膜等からなる層間膜12を介して形成された第1のアルミ膜13と、同第1のアルミ膜13上に形成された絶縁膜14と、絶縁膜14に開孔されたコンタクト孔16と、コンタクト孔16内および絶縁膜14上に形成された第2のアルミ膜15とで構成されている。

発明が解決しようとする問題点

従来構造の多層配線間接続部では第1アルミ膜13と第2アルミ膜15がコンタクト孔16内で直接接触しているが、アルミ膜は酸化されやすいため第1アルミ膜13と第2アルミ膜15の間に絶縁性の高いアルミナ(Al_2O_3)が形成されてコンタクト抵抗を増大させることがあった。このため、従来の多層配線構造では、第2アルミ膜15形成前に第1アルミ膜13の表面のアルミナを除去する必要がある。しかしながら、アルミナの除去工程は安定性が高くないので多層配線集積回路の製造歩留を下げるとなっていた。

問題点を解決するための手段

本発明は、上記欠点を解決するためになされたものであり、第1の金属膜と第2の金属膜からなる積層膜と、同積層膜上に形成された絶縁膜と、同絶縁膜に形成された開孔部と、同開孔部内に形成された導電性を有する前記第2の金属膜の酸化膜および第3の金属膜とで構成される配線接続部をそなえていることを特徴としている。

作 用

本発明の半導体装置では、第1の金属膜（アルミ膜）の表面は第2の金属膜で被覆されているので、第1の金属膜（アルミ膜）の表面にアルミナが形成されるのを防ぐことが可能である。また、第2の金属膜はコンタクト孔において化学的に安定な導電性を有する第2の金属膜の酸化膜で覆われているので、第3の金属膜（アルミ膜）との間にオーミックなコンタクトを形成することが容易となる。

実 施 例

本発明の半導体装置を2層アルミ配線を有する

アルミ膜3と第2アルミ膜7が金属膜（スズ膜）4と金属酸化膜（2酸化スズ膜）6を介して接続されている。

2酸化スズ膜（ SnO_2 膜）6は導電性を有する金属酸化膜なので第1アルミ膜3と第2アルミ膜7間のコンタクト抵抗が増大することはない。また、第1アルミ膜3上はスズ膜（金属膜）4で覆われているので、2層配線形成工程で第1アルミ膜3上に絶縁膜であるアルミが形成されることはない。

なお、本実施例では金属膜4としてスズ膜、金属酸化膜6として2酸化スズ膜の場合を例示したが、金属酸化物が導電性を示す金属であれば他の組合せ、例えば、金属膜としてインジウム膜（ In 膜）、金属酸化膜として3酸化インジウム膜（ In_2O_3 膜）を適用することが可能なのはもちろんである。

発明の効果

以上説明したところから明らかなように、本発明の半導体装置では、下側配線層と上側配線層とのコンタクト部に接触抵抗の増大をもたらす絶縁

半導体集積回路に応用した時の一実施例を第1図の要部断面図に示す。

第1図は2層アルミ配線間の接続部を示したものであり、集積回路を構成するトランジスタ、キャパシタ、抵抗等は省略してある。

本発明の半導体装置はシリコン基板1上に酸化シリコン膜やリンケイ酸ガラス（PSG）からなる層間膜2を介して形成された、厚さ約1 μm の第1アルミ膜3と厚さ約0.3 μm のスズ膜（金属膜）4からなる下層の配線層と、プラズマ助起CVD法で形成された酸化シリコン膜やチタ化シリコン膜からなる厚さ約0.8 μm の絶縁膜5と、絶縁膜5に開孔されたコンタクト孔6と、コンタクト孔6内に露出するスズ膜（金属膜）4に酸化処理を施すことによって形成された導電性を有する厚さ約0.2 μm の2酸化スズ膜（金属酸化膜）6と、同金属酸化膜6および前記絶縁膜5上に形成された厚さ約1 μm の第2アルミ膜7とで構成される配線接続部を有している。

第1図に示した本発明の配線接続部では第1ア

性の高い被膜が形成されず、したがって良好な接続状態をもつ多層配線構造が実現される。また、絶縁性被膜の除去が不要となるため、製造歩留を高める効果も奏される。

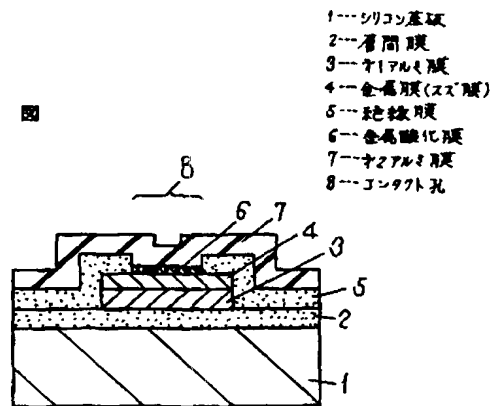
4、図面の簡単な説明

第1図は本発明の一実施例による多層（2層）配線半導体装置の配線接続部を示す断面図、第2図は従来の配線接続部を示す断面図である。

1, 11……シリコン基板、2, 12……層間膜、3, 13……第1アルミ膜、4……金属膜（スズ膜）、5, 14……絶縁膜、6……金属酸化膜（2酸化スズ膜）、7, 15……第2アルミ膜、8, 16……コンタクト孔。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 回



第 2 圖

